

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-203330

(P2001-203330A)

(43) 公開日 平成13年7月27日 (2001.7.27)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テマコード (参考)

H 0 1 L 27/04

21/822

C 2 3 C 16/02

16/18

16/40

C 2 3 C 16/02

16/18

16/40

16/56

H 0 1 L 21/205

審査請求 未請求 請求項の数20 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2000-341352(P2000-341352)

(22) 出願日 平成12年11月9日 (2000. 11. 9)

(31) 優先権主張番号 1 9 9 9 - 4 9 4 9 9

(32) 優先日 平成11年11月9日 (1999. 11. 9)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 591024111

現代電子産業株式会社

大韓民国京畿道利川市夫鉢邑牙美里山136  
- 1

(72) 発明者 李 起 正

大韓民国ソウル特別市松坡區石村洞270-  
2

(72) 発明者 朱 光 ▲チヨル▼

大韓民国京畿道利川市大月面已東里チヨン  
ホヴィラ2-201

(74) 代理人 100065215

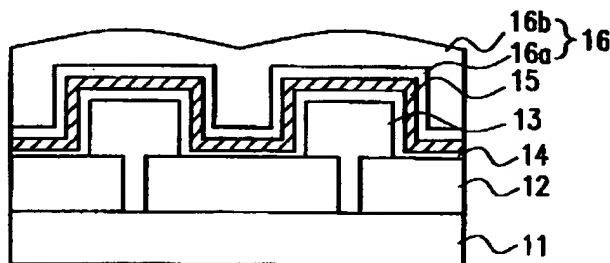
弁理士 三枝 英二 (外8名)

(54) 【発明の名称】 半導体素子のキャパシターの製造方法

(57) 【要約】

【課題】 TaON薄膜を誘電体膜として使用して高集積半導体で要求される充電容量を十分に確保し優秀な電気的特性を有する半導体素子のキャパシターの製造方法を提供することである。

【解決手段】 半導体素子を形成するためのいろいろの構造物が形成された半導体基板上に下部電極を形成する段階と、前記下部電極上に非晶質TaON薄膜を形成した後、熱処理してTaON誘電体膜を形成する段階と、前記TaON誘電体膜上に上部電極を形成する段階とを含んでなる。



## 【特許請求の範囲】

【請求項1】 半導体素子を形成するためのいろいろの構造物が形成された半導体基板上に下部電極を形成する段階と、

前記下部電極上に非晶質TaON薄膜を形成した後、低温及び高温熱処理を実施してTaON誘電体膜を形成する段階と、

前記TaON誘電体膜上に上部電極を形成する段階とを含んでなることを特徴とする半導体素子のキャパシターの製造方法。

【請求項2】 前記下部電極は、ドーフトポリシリコン又は非晶質シリコンのようなシリコン系物質で形成することを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項3】 前記下部電極の表面上に半球形ポリシリコンを形成する段階を更に含むことを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項4】 前記下部電極は、TiN、Ta<sub>2</sub>N<sub>3</sub>、W、WN、WSi、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、Ptのような金属系物質のいずれか1種から形成することを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項5】 前記TaON誘電体膜の形成前、前記下部電極の表面を窒化処理して窒化膜を形成する段階を更に含むことを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項6】 前記窒化膜は、低圧化学気相蒸着チャンバー内の半導体基板の温度を300～500℃に維持させた状態でプラズマを放電させてNH<sub>3</sub>ガス又はN<sub>2</sub>/H<sub>2</sub>ガス雰囲気中で下部電極の表面を窒化させて形成することを特徴とする請求項5記載の半導体素子のキャパシターの製造方法。

【請求項7】 前記窒化膜は650～950℃の温度及びNH<sub>3</sub>ガス雰囲気中で急速熱処理(RTA)工程により形成することを特徴とする請求項5記載の半導体素子のキャパシターの製造方法。

【請求項8】 前記窒化膜は500～1000℃の温度及びNH<sub>3</sub>ガス雰囲気中で形成することを特徴とする請求項5記載の半導体素子のキャパシターの製造方法。

【請求項9】 前記TaON誘電体膜の形成前、前記下部電極の表面をHF蒸気又はHF溶液のようなHF化合物を用いて自然酸化膜を除去する段階を更に含むことを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項10】 前記非晶質TaON薄膜は、Ta化合物蒸気ガスと反応ガスであるNH<sub>3</sub>ガス又はO<sub>2</sub>ガスを300～600℃の温度及び10torr以下の圧力に維持される低圧化学気相蒸着チャンバー内に流量調節器を通じて定量供給して、半導体基板上で起こる表面化学反応に

請求項1記載の半導体素子のキャパシターの製造方法。

【請求項11】 前記Ta化合物蒸気ガスは、Ta(O<sub>2</sub>C<sub>2</sub>H<sub>5</sub>)<sub>5</sub>溶液を150～200℃の温度に維持される蒸発器又は蒸発管内に、流量調節器により100mg/min以下で定量供給することを特徴とする請求項10記載の半導体素子のキャパシターの製造方法。

【請求項12】 前記低温熱処理工程は、300～500℃の温度でUV-O<sub>3</sub>を用いて実施することを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項13】 前記高温熱処理工程は、650～950℃の温度及びN<sub>2</sub>O、O<sub>2</sub>又はN<sub>2</sub>雰囲気中の電気炉で実施することを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項14】 前記上部電極は、TiN、Ta<sub>2</sub>N<sub>3</sub>、W、WN、WSi、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、Ptのような金属系物質のいずれか1種から形成することを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項15】 前記上部電極は、まず金属系物質層を100～600Åの厚さに形成した後、その上にドーフトポリシリコン層を積層して形成することを特徴とする請求項1記載の半導体素子のキャパシターの製造方法。

【請求項16】 前記金属系物質層は、TiN、Ta<sub>2</sub>N<sub>3</sub>、W、WN、WSi、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、Ptのような金属系物質のいずれか1種から形成することを特徴とする請求項15記載の半導体素子のキャパシターの製造方法。

【請求項17】 半導体素子を形成するためのいろいろの構造物が形成された半導体基板上に下部電極を形成する段階と、

前記下部電極上に非晶質のTaON薄膜を形成した後、300～500℃の低温熱処理工程と650～950℃の高温熱処理工程によりTaON誘電体膜を形成する段階と、

前記TaON誘電体膜上に上部電極を形成する段階とを含んでなることを特徴とする半導体素子のキャパシターの製造方法。

【請求項18】 前記非晶質TaON薄膜の形成前、前記下部電極の表面を窒化させて窒化膜を形成する段階を更に含むことを特徴とする請求項17記載の半導体素子のキャパシターの製造方法。

【請求項19】 半導体素子を形成するためのいろいろの構造物が形成された半導体基板上に下部電極を形成する段階と、

前記下部電極の表面を窒化処理して窒化膜を形成する段階と、

前記窒化膜上に非晶質のTaON薄膜を形成した後、300～500℃の低温熱処理工程と650～950℃の

と、  
前記TaON誘電体膜上に上部電極を形成する段階とを含んでなることを特徴とする半導体素子のキャパシターの製造方法。

【請求項20】 前記窒化膜は500～1000℃の温度及びNH<sub>3</sub>ガス雰囲気中で形成することを特徴とする請求項19記載の半導体素子のキャパシターの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子のキャパシターの製造方法に関するもので、より詳しくは、半導体素子に要求される充電容量を十分に確保するとともに優秀な電気的特性を得ることができる半導体素子のキャパシターの製造方法に関するものである。

【0002】

【従来の技術】一般に、微細化した半導体工程技術の発達によりメモリ製品の高集積化が加速化するにつれて、単位セルの面積が大きく減少することはもちろん、動作電圧の低電圧化がなされている。

【0003】しかし、記憶素子の動作に必要な充電容量においては、セル面積の減少にもかかわらず、ソフトエラー（soft error）の発生とリフレッシュ時間（refresh time）の短縮を防止するため、25 fF/cell以上の十分な充電容量が要求されている。

【0004】従来、窒化膜／酸化膜（NO）構造のように、窒化膜を誘電体として使用しているDRAM用キャパシターの場合には、有効表面積を増大させて充電容量を確保するため、下部電極を三次元構造に形成するか、又は下部電極の高さを高めている。

【0005】しかし、下部電極を三次元構造に形成することは、工程上の難しさのため、充電容量を確保することに限界がある。

【0006】また、下部電極の高さを増大させるのは、高さが増加するにしたがって生ずるセル地域と周辺回路地域間の段差により、後続露光工程時、焦点深度（Depth of Focus）が確保されていないと、配線工程後の集積工程時に悪影響を及ぼすことになる。

【0007】したがって、従来のNO構造のキャパシターによっては、256 M以上の次世代DRAM素子に必要な充電容量を確保することに限界がある。

【0008】最近では、このようなNOキャパシターの限界を克服するため、誘電率が4～5であるNO薄膜の代わりに、誘電率が25～27であるTa<sub>2</sub>O<sub>5</sub>薄膜を誘電体膜として用いるTa<sub>2</sub>O<sub>5</sub>キャパシターが開発されている。

【0009】しかし、Ta<sub>2</sub>O<sub>5</sub>薄膜は不安定な化学量論比を持っているため、TaとOの組成比の差に起因した置換型Ta原子が薄膜内に存在することになる。

【0010】すなわち、Ta<sub>2</sub>O<sub>5</sub>薄膜は、物質自体の不

en vacancy）状態の置換型Ta原子が常に局部的に存在するしかない。

【0011】特に、Ta<sub>2</sub>O<sub>5</sub>薄膜の酸素空孔の数は成分の含量と結合程度によって、多少違いがあり得るが、全く除去することはできない。

【0012】その結果、キャパシターの漏洩電流を防止するため、Ta<sub>2</sub>O<sub>5</sub>薄膜の不安定な化学量論比を安定化させて、誘電体薄膜内に残存する置換型Ta原子を酸化させる別途の酸化工程が必要である。

【0013】また、Ta<sub>2</sub>O<sub>5</sub>薄膜は上部電極及び下部電極として使用されるポリシリコン（オキサイド系電極）又はTiN（金属系電極）との酸化反応性が高いため、薄膜内に存在する酸素が界面に移動して低誘電酸化層を形成するとともに界面の均質性を大きく低下させる。

【0014】そして、薄膜の形成時、Ta<sub>2</sub>O<sub>5</sub>薄膜の前駆体であるTa（OC<sub>2</sub>H<sub>5</sub>）の有機物とO<sub>2</sub>又はN<sub>2</sub>Oガスの反応により、不純物である炭素（C）原子とC<sub>2</sub>H<sub>4</sub>、C<sub>2</sub>H<sub>6</sub>などのような炭素化合物及び水分（H<sub>2</sub>O）がともに存在することになる。

【0015】結局、Ta<sub>2</sub>O<sub>5</sub>薄膜内に不純物として存在する炭素原子、イオンとラジカル（Radical）により、キャパシターの漏洩電流が増加し、誘電特性が劣化する問題点が発生する。

【0016】

【発明が解決しようとする課題】したがって、本発明は前記従来の諸般問題点を解決するためにされたもので、本発明の目的は、高集積素子に要求される充電容量を十分に確保するとともに優秀な電気的特性を得ることができる半導体素子のキャパシターの製造方法を提供することにある。

【0017】また、本発明のほかの目的は、下部電極の面積を増加させるためのいろいろの複雑なキャパシターの製造工程を省略して単位工程数を減少させ単位工程時間を短縮させることで、生産原価を節減し得る半導体素子のキャパシターの製造方法を提供することにある。

【0018】また、本発明の更にほかの目的は、誘電体膜の形成前に実施する熱処理及び酸化工程を省略して原価を節減するとともに生産性を向上させ得る半導体素子のキャパシターの製造方法を提供することにある。

【0019】

【課題を解決するための手段】前記目的を達成するための本発明による半導体素子のキャパシターの製造方法は、半導体素子を形成するためのいろいろの構造物が形成された半導体基板上に下部電極を形成する段階と、前記下部電極上に非晶質TaON薄膜を形成した後、低温及び高温熱処理工程を実施してTaON誘電体膜を形成する段階と、前記TaON誘電体膜上に上部電極を形成する段階とを含んでなることを特徴とする。

【0020】また、本発明による半導体素子のキャパシ

ろの構造物が形成された半導体基板上に下部電極を形成する段階と、前記下部電極上に非晶質のTaON薄膜を形成した後、300～500℃の低温熱処理工程と650～950℃の高温熱処理工程を実施してTaON誘電体膜を形成する段階と、前記TaON誘電体膜上に上部電極を形成する段階とを含んでなることを特徴とする。

【0021】また、本発明による半導体素子のキャパシターの製造方法は、半導体素子を形成するためのいろいろの構造物が形成された半導体基板上に下部電極を形成する段階と、前記下部電極の表面を窒化処理して窒化膜を形成する段階と、前記下部電極上に非晶質のTaON薄膜を形成した後、300～500℃の低温熱処理工程と650～950℃の高温熱処理工程によりTaON誘電体膜を形成する段階と、前記TaON誘電体膜上に上部電極を形成する段階とを含んでなることを特徴とする。

【0022】

【発明の実施の形態】以下、本発明による半導体素子のキャパシターの製造方法を添付図面に基づいて詳細に説明する。

【0023】図1ないし図4は本発明による半導体素子のキャパシターの製造方法を説明するための半導体素子の断面図である。

【0024】本発明による半導体素子のキャパシターの製造方法は、図1に示すように、まず半導体素子を形成するためのいろいろの構造（図示せず）が形成された半導体基板11上に層間絶縁膜12を形成し、前記層間絶縁膜12内に、前記下部電極を接触させるためのコンタクト（図示せず）を形成してもよい。

【0025】半導体素子を形成するためのいろいろの構造物として、例えば、シリコン基板と酸化膜などを例示することができる。

【0026】その後、前記コンタクトを含む層間絶縁膜12の上面に下部電極用導電物質層を形成し、これをパターンニングして、キャパシターの下部電極13を形成する。

【0027】この際に、前記下部電極13は、例えば、ドーパトポリシリコン、ドーパト非晶質シリコンのようなシリコン系物質で形成するか、又はTiN、Ta<sub>2</sub>N、W、WN、WSi、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、Ptのような金属系物質のいずれか1種を使って形成することができる。

【0028】また、前記下部電極13は、簡単なスタック構造(simple stacked structure)又は図面に示すシリンドラ構造を基本とする二重及び三重構造のような多様な三次元構造を形成して有効表面積を増大させるか、半球形ポリシリコンを更に形成して有効表面積を増大させることもできる。

【0029】その後、図2に示すように、前記下部電極

極13の表面に窒化膜14を薄く形成してもよい。窒化膜の厚さは、5～15Åである。窒化膜の厚さは、好ましくは約10Åである。

【0030】この際に、前記窒化膜14は、後続工程で行われるキャパシターの誘電体膜の形成時又は後続の熱工程により、誘電体膜と下部電極との界面に低誘電率を有する自然酸化膜(SiO<sub>2</sub>)が生成することを防止する役割をする。

【0031】また、前記窒化膜14は、低圧化学気相蒸着(LPCVD)チャンパーでの誘電体膜の形成前、インーシチュー(In-situ)又はエキスーシチュー(Ex-situ)状態でプラズマを放電させてNH<sub>3</sub>ガス又はN<sub>2</sub>/H<sub>2</sub>ガス雰囲気中で窒化させることで形成することができる。

【0032】この際に、前記半導体基板11は300～500℃の温度に維持することが好ましい。

【0033】そして、前記窒化膜14は、プラズマを使って窒化させる方法の代わりに、急速熱工程(Rapid Thermal Process; RTP)を用いて650～950℃の温度及びNH<sub>3</sub>ガス雰囲気中でアニーリングして形成するか、又は電気炉を用いて500～1000℃の温度及びNH<sub>3</sub>ガス雰囲気中で形成することもできる。

【0034】一方、前記後続工程で行われるキャパシターの誘電体膜の形成時又は後続の熱工程により誘電体膜と下部電極との界面に低誘電率を有する自然酸化膜(SiO<sub>2</sub>)が生成することを防止するため、窒化膜14を形成する代わりに、前記下部電極13の表面をHF蒸気(HF vapor)又はHF溶液を使って自然酸化膜を除去し誘電体膜を形成することもできる。

【0035】また、前記窒化膜14の代わりに、HF化合物を用いる下部電極13の表面処理の前後に界面を洗浄するか、又は均一性(uniformity)を向上させる目的でNH<sub>4</sub>OH溶液又はH<sub>2</sub>SO<sub>4</sub>溶液などの化合物を使って界面処理を行った後、誘電体膜を形成することもできる。

【0036】そして、前述したように、キャパシターの誘電体膜の形成前に酸化抵抗性を増大させるため、プラズマ又は急速熱処理工程(RTP)を用いてNH<sub>3</sub>ガス又はN<sub>2</sub>/H<sub>2</sub>ガス雰囲気中で下部電極13の表面を300～950℃の温度範囲で窒化させるか、又はNO<sub>2</sub>又はO<sub>2</sub>ガス雰囲気中で熱処理してダングリングボンド(dangling bond)に起因する構造的欠陥ないし構造的不均一性を改善して漏洩電流特性を向上させることができる。

【0037】次いで、図3に示すように、前記窒化膜14を含む全体構造の上面にキャパシターの誘電体膜として使用するためのTaON薄膜15を形成する。

【0038】この際に、前記TaON薄膜15は、Ta化合物の蒸気ガスと反応ガスであるNH<sub>3</sub>ガスの10～1000sccm又はO<sub>2</sub>ガスの0～300sccmをMFC(M

0～600℃の温度と10torr以下の圧力に維持された低圧化学気相蒸着チャンパー内に定量供給して、ウェーハ上で起こる表面化学反応により厚さ50～150Åの非晶質薄膜を形成した後、低温熱工程及び高温熱工程を実施することにより形成することができる。

【0039】また、前記Ta化合物蒸気ガスは、99.99%以上のTa( $\text{OC}_2\text{H}_5$ )<sub>5</sub>溶液をMFCのような流量調節器を使って、150～200℃の温度に維持されている蒸発器又は蒸発管内に100mg/min以下で定量供給することができる。

【0040】この際に、オリフィス又はノズルを含む蒸発器はもちろん、Ta蒸発器の流路となる供給管はTa蒸気の凝縮を防止するため、150～200℃の温度範囲を常に維持させるのが好ましい。

【0041】また、前記TaON薄膜15を形成する工程において、非晶質薄膜を形成した後に実施する低温熱工程は、300～500℃の温度でUV-O<sub>3</sub>を使う、即ち、O<sub>3</sub>雰囲気下でUV照射を行ってもよい。

【0042】この際に、前記低温熱工程により、非晶質状態のTaON薄膜15内の置換型Ta原子に残っている酸素空孔と炭素不純物が酸化されるので、漏洩電量の発生要因が除去される。

【0043】そして、前記低温熱工程後に実施する高温熱工程は650～950℃の温度とN<sub>2</sub>O、O<sub>2</sub>又はN<sub>2</sub>ガス雰囲気下の電気炉で5～30分間実施するのが好ましい。

【0044】この際に、前記高温熱工程は、前記低温熱工程後にも非晶質状態のTaON薄膜15内に残っている揮発性炭素化合物を除去して漏洩電流の発生を防止することはもちろん、前記非晶質状態のTaON薄膜15の結晶化を誘導して誘電率を増大させる。

【0045】次いで、図4に示すように、前記TaON薄膜15上に上部電極16を形成してキャパシターを完成する。

【0046】この際に、前記上部電極16としては、例えば、TiN、Ta<sub>2</sub>N、W、WN、WSi、Ru、RuO<sub>2</sub>、Ir、IrO<sub>2</sub>、Ptのような金属系物質のいずれか1種で金属物質層16aを形成して上部電極を形成することができる。金属物質層16aの厚さは、特に制限されないが、100～600Åである。

【0047】また、前記上部電極16のほかの実施例として、前記TaON薄膜15上に金属物質層16aをまず100～600Åの厚さに形成した後、前記金属物質層16a上に、後続熱工程によりキャパシターの電気的特性の劣化を防止するための緩衝層としてドーフトポリシリコン層16bを積層して上部電極を形成することで、キャパシターの製造を完了する方法を例示することができる。ドーフトポリシリコン層の厚さは、500～1500Åである。ドーフトポリシリコン層の厚さは、好まし

【0048】

【発明の効果】以上説明したように、本発明による半導体素子のキャパシターの製造方法によると、つぎのような効果がある。

【0049】本発明による半導体素子のキャパシターの製造方法においては、キャパシターの誘電体膜として使用されるTaON薄膜の誘電率が23～25である。

【0050】したがって、本発明におけるTaON薄膜は、従来のNO薄膜に比べ、誘電率が高く、化学的結合構造も従来のTa<sub>2</sub>O<sub>5</sub>薄膜より安定したTa-O-N結合構造を持っているため、外部から加わる電気的衝撃にも強い。

【0051】特に、Ta<sub>2</sub>O<sub>5</sub>誘電体より誘電率は低いが、Ta<sub>2</sub>O<sub>5</sub>薄膜の蒸着及び後続熱処理過程で上部及び下部電極との界面で起こる酸化反応を効果的に抑制することができる。

【0052】すなわち、本発明におけるTaON薄膜は、従来の誘電膜の不安定な化学量論比のために発生する酸素空孔及び炭素不純物により漏洩電流が発生する問題を解決することができる。

【0053】本発明においては、下部電極と誘電体膜との界面で発生する低誘電酸化膜の形成を抑制し得るため、不均一な酸化膜が形成することにより漏洩電流が発生することを防ぐことができ、キャパシターの有効酸化膜の厚さを35Å未満に薄く制御することができる。

【0054】また、本発明においては、TaON薄膜を誘電体膜として使用することにより、単位セルの面積が減少するにもかかわらず、256M級以上の次世代DRAM製品に必要な25ff/cell以上の充電容量値を十分に得ることができる。

【0055】したがって、本発明においては、TaON薄膜を誘電体膜として使用することにより、キャパシターを簡単なスタック(stack)構造に形成しても十分な充電容量が得られるため、従来のように、下部電極の面積を増加させるための二重又は三重構造の複雑なキャパシターのモジュールが不要であるので、単位工程数の減少、工程時間の短縮及び生産原価の節減の効果がある。

【0056】一方、本発明は、従来のTa<sub>2</sub>O<sub>5</sub>キャパシターの製造工程のような、Ta<sub>2</sub>O<sub>5</sub>蒸着前処理工程で実施する急速熱処理(RTA)工程と多段階低温酸化工程が全く不要であるので、原価の節減及び生産性側面での経済的な効果がある。

【図面の簡単な説明】

【図1】本発明による半導体素子のキャパシターの製造方法を説明する半導体素子の断面図である。

【図2】本発明による半導体素子のキャパシターの製造方法を説明する半導体素子の断面図である。

【図3】本発明による半導体素子のキャパシターの製造方法を説明する半導体素子の断面図である。

方法を説明する半導体素子の断面図である。

【符号の説明】

- 11 半導体基板
- 12 層間絶縁膜
- 13 下部電極
- 14 窒化膜

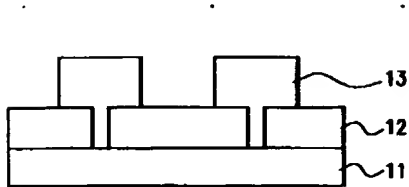
15 TaON薄膜

16 上部電極

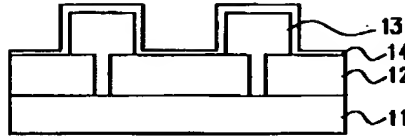
16a 金属物質層

16b ドープトポリシリコン層

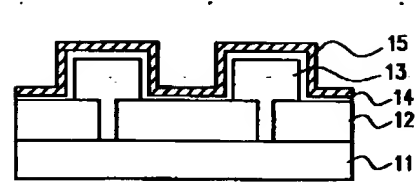
【図1】



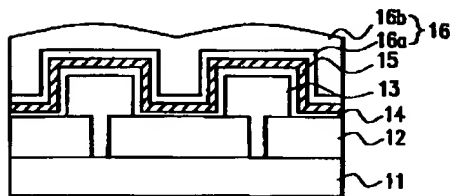
【図2】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.<sup>7</sup>

C23C 16/56

H01L 21/205

21/318

識別記号

FI

H01L 21/318

27/04

テーマコード(参考)

C

C